

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下： ()

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 09 月 18 日
Application Date

申 請 案 號：092125705
Application No.

申 請 人：南亞科技股份有限公司
Applicant(s)

局 長

Director General



發文日期：西元 2004 年 3 月 2 日
Issue Date

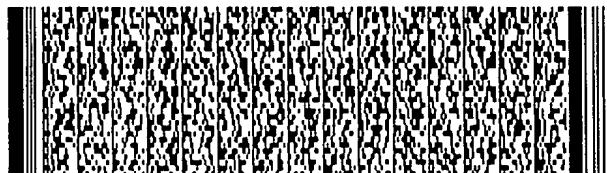
發文字號：09320199820
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	接觸窗開口的製造方法
	英 文	method for forming a contact opening
二、 發明人 (共1人)	姓 名 (中文)	1. 陳錦宏
	姓 名 (英文)	1. Meng-Hung Chen
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園市民有十一街139巷1弄27號
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



0548.000221w(Final) : 01316 : Amy.psd

四、中文發明摘要 (發明名稱：接觸窗開口的製造方法)

本發明提出一種接觸窗開口的製造方法，於已形成電晶體的基底上，先以微影製程使含矽光阻層和不含矽光阻層之光阻疊層覆蓋接觸窗開口的區域，之後移除上方含矽光阻層，留下不含矽光阻層做為罩幕，再利用選擇性成長的方式，例如液相氧化製程，於含矽材質表面形成氧化矽層，因此使不含矽光阻層間的區域填滿絕緣材質，再將不含矽光阻層移除，藉此於絕緣層中形成一接觸窗開口，且省去了一道蝕刻製程。

伍、(一)、本案代表圖為：第4D圖。

(二)、本案代表圖之元件代表符號簡單說明：

半導體基底~100；

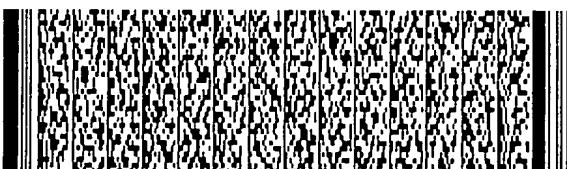
電晶體~102；

源極~142；

汲極(摻雜區)~144；

六、英文發明摘要 (發明名稱：method for forming a contact opening)

A method for forming a contact opening is provided. After forming transistors on a substrate, a stacked resist layer comprising a resist layer without silicon element and a resist layer with silicon element covers the transistors and the substrate. The stacked resist layer is defined to cover a region of a contact opening to be formed as a mask. A selective growth process,

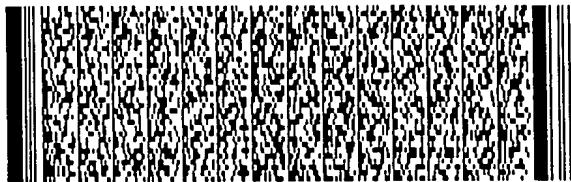


四、中文發明摘要 (發明名稱：接觸窗開口的製造方法)

閘極絕緣層~150；
多晶矽層~152；
金屬矽化物層~154；
罩幕層~156；
氮化矽間隙壁~158；
不含矽的光阻層~104；
氧化矽層~108。

六、英文發明摘要 (發明名稱：method for forming a contact opening)

such as a liquid phase oxide deposition (LPOD), is performed to form a selective silicon oxide layer on the silicon contained surface and filling the space between the stacked resist layer. After the stacked resist layer is removed, a contact opening is formed in the silicon oxide layer and an etching process is saved.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

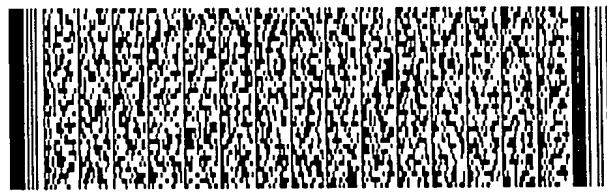
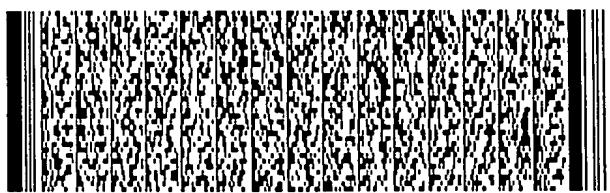
【發明所屬之技術領域】

本發明係有關於一種半導體製程，且特別是有關於一種使用成像光阻 (image resist) 當犧牲層 (sacrificial layer) 之整合內層介電層 (inter dielectric layer, ILD) 的方法，以在不使用蝕刻製程的情況下於內層介電層中形成接觸窗開口。

【先前技術】

近年來，隨著積體電路集積度的增加，半導體製程設計亦朝向縮小半導體元件尺寸以提高密度之方向發展，以目前廣泛使用之動態隨機存取記憶體為例，64M DRAM 製程已從 $0.35\text{ }\mu\text{m}$ 轉換至 $0.3\text{ }\mu\text{m}$ 以下，而 128M DRAM 或 256M DRAM 則更朝向 $0.2\text{ }\mu\text{m}$ 以下發展。

在記憶單元陣列區的接觸窗製程方面，由於電晶體係以高密度的方式排列，因此，通常會配合使用自行對準接觸窗 (SAC) 製程，以提高導線的精密度和準確度。首先，會使用硼磷矽玻璃 (boro-phosphosilicate glass；BPSG) 和採用矽酸四乙酯 (tetrachoxysilane；TEOS) 沈積的氧化矽層 (以下簡稱 TEOS) 之疊層來作為內層介電層 (ILD)，覆蓋於電晶體上。之後，藉由蝕刻製程於絕緣層中形成自行對準的位元線接觸窗開口 (即 CB holes)，再於位元線接觸窗開口中填入多晶矽材質做為位元線接觸窗插塞。之後，進行陣列區的接觸窗製程，於上述之絕緣層中形成閘極接觸窗開口 (即 CG holes) 和接合區接



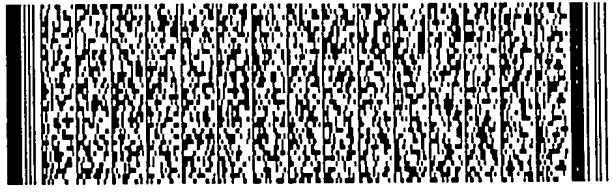
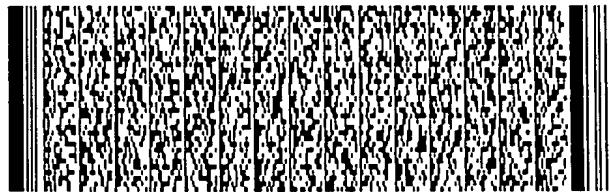
五、發明說明 (2)

觸窗開口（即CS holes）。繼續進行位元線導線M0的蝕刻製程，以定義位元線接觸窗插塞的M0著陸墊。

然而，在蝕刻絕緣層形成位元線接觸窗開口的過程中，因需蝕穿整個絕緣層（BPSG/TEOS）以暴露出接合區，因此易有矽基底損耗的問題，進而衍生出嚴重的次臨限電壓，如此會影響陣列區的電容器之記憶能力。而且在蝕刻的過程中，易耗損閘極電極（即字元線）側邊的間隙壁，甚至造成字元線和位元線之間的短路。此外，隨著集積度的增加，線寬不斷地縮減，閘極電極間的間隙也會愈來愈小，如此會使蝕刻製程受到阻礙，甚至無法蝕穿，而造成斷路。

以下係以第1圖和第2圖說明習知位元線接觸窗的製程係如何導致上述的位元線接觸開路和字元線-位元線短路的缺陷。

如第1圖所示，於已具有電晶體之結構的矽基底10上依序形成襯氮化矽層28、BPSG層30和TEOS層32之疊層絕緣層，其中襯氮化矽層28可用以避免BPSG層30中的硼磷摻質因後續的熱製程而擴散到矽基底10中，而影響到元件的特性。其中電晶體包括源極12、汲極14和閘極結構20，閘極結構20包括閘極氧化層21、多晶矽層22、矽化鎢層23和氮化矽層24，而在閘極結構20側壁為氮化矽間隙壁25，其中多晶矽層22和矽化鎢層23係為閘極電極。之後於TEOS層32上形成光阻層40，此光阻層40具有接觸窗開口的圖案。之後，以此光阻層40為罩幕，進行蝕刻製程，以於BPSG層30

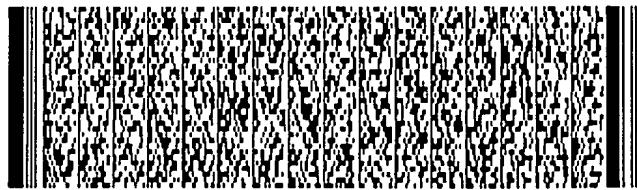
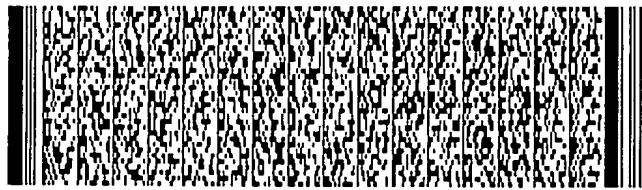


五、發明說明 (3)

和TEOS層32之疊層絕緣層中形成接觸窗開口34。然而，如上所述，當設計規則將線寬縮小至約 $0.11\text{ }\mu\text{m}$ 時，接觸窗開口34所暴露的汲極區14的寬度就只有 $0.038\text{ }\mu\text{m}$ 以下，且BPSG層30和TEOS層32之疊層絕緣層具有相當大的深度，因此愈接近汲極區14的絕緣材質就愈難被蝕刻，當上述的非等向性蝕刻反應終止時，在接觸窗開口34的底部就往往會留下一些未受到蝕刻或未完全蝕刻的絕緣材質30'，而未暴露出汲極區14。因此，後續填入導電材質於接觸窗開口34來形成連接位元線的接觸窗時，並無法與汲極區14無法產生電性連結，導致位元線接觸開路的缺陷。

為了避免位元線接觸開路的缺陷，如第2圖所示，習知會於完成位元線接觸窗開口的蝕刻程序後，再加一道過蝕刻(over etching)的步驟來移除接觸窗開口底部未完全移除的絕緣材質30'和襯氯化矽層28。但是，由於氧化矽材質對側邊氯化矽間隙壁的蝕刻選擇比僅 $10\sim 15$ 左右(但在平坦表面上的氧化矽對氯化矽的蝕刻選擇比可高達 $35\sim 40$)，因此，在過蝕刻期間，氯化矽層24和間隙壁25易遭到蝕除，而使由矽化鎢23和多晶矽層22所構成的閘極電極暴露出來，造成字元線-位元線短路的缺陷。

另外，BPSG因具有優良的填洞能力，即使線寬縮至約 $0.11\text{ }\mu\text{m}$ 時，仍廣為業界所使用。然而，當線寬進一步縮減時，閘極電極間的間距亦相對縮小，甚至縮小至 $0.070\text{ }\mu\text{m}$ 。在這樣的情況下，沈積的硼磷矽玻璃材質會不易填滿閘極電極間的間距，甚至會在之間形成孔洞(void)。



五、發明說明 (4)

如此可能導致不同位元線但相鄰的接觸窗間之短路。如第3圖所示，此圖示的切面方向係與第1圖和第2圖不同，圖中的兩汲極14係屬不同位元線的電晶體之部份結構。當利用如第1圖和第2圖所示的光阻層40為罩幕，進行蝕刻製程，以於BPSG層30和TEOS層32之疊層絕緣層中形成接觸窗開口34後，移除光阻層40。之後，於接觸窗開口34中填入導電材質，以形成位元線接觸窗插塞38。但若在形成接觸窗開口34時形成孔洞36，則填入的導電材質亦會填入孔洞36中，而造成不同位元線間的接觸窗插塞38發生短路。

【發明內容】

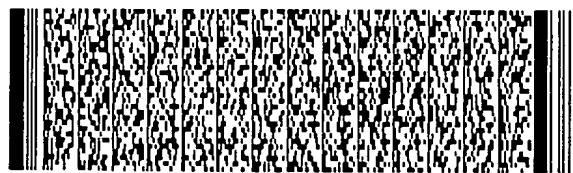
有鑑於此，本發明的目的在於提供一種位元線接觸窗開口的製造方法，可用於避免蝕刻位元線接觸窗所造成之矽基底損耗。

本發明的另一目的在於提供一種位元線接觸窗開口的製造方法，以避免因閘極電極間的間隙愈來愈小而無法蝕刻的問題，藉以避免位元線接觸斷路的缺陷。

本發明的又一目的在於提供一種位元線接觸窗開口的製造方法，可以避免字元線和位元線間的短路問題發生。

本發明的再一目的在於提供一種可以避免內層介電層中產生孔洞的位元線接觸窗製程，藉以避免不同位元線間的接觸窗插塞發生短路。

因此，本發明提出一種接觸窗開口的製造方法，其方法如下所述。在基底上的電晶體為含矽絕緣層所保護，之



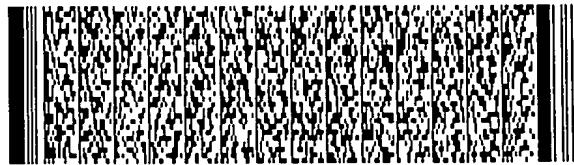
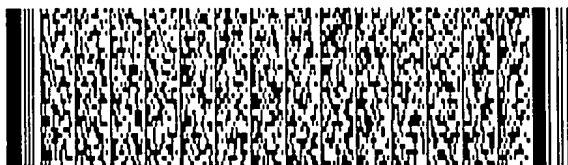
五、發明說明 (5)

後，於其上方覆蓋一不含矽光阻層於具有電晶體之基底上，此不含矽光阻層具有一平坦表面。接著，覆蓋一含矽薄的光阻層於不含矽光阻層上，此含矽光阻層具有一平坦表面。接著，圖案化含矽光阻層和不含矽光阻層之疊層光阻層，以定義出對應於摻雜區之接觸窗圖案的光阻疊層。之後，進行一選擇性沈積製程，以於未被光阻疊層覆蓋的區域形成一絕緣層，然後移除光阻疊層，以暴露出摻雜區，藉此於絕緣層中形成一接觸窗開口。

此外，本發明並提供一種接觸窗開口的製造方法，其步驟如下所述。提供一基底，其表面具有一元件，元件為含矽絕緣層所保護，基底中具有一摻雜區。接著，依序覆蓋不含矽光阻層和含矽光阻層，其中不含矽光阻層具有一平坦表面，因此使其上方覆蓋之含矽光阻層具有平坦的表面、薄且均勻的厚度，以利於含矽光阻層之深紫外光曝光顯影製程的進行，使含矽光阻層可以得到較佳的解析度。之後，將含矽光阻層和不含矽光阻層圖案化，以定義出對應於摻雜區之接觸窗圖案的光阻疊層，未為光阻疊層覆蓋的區域之表面包括部份含矽絕緣層，係為含矽材質的表面，進行一選擇性沈積製程，以於含矽材質的表面形成一絕緣層，再將光阻疊層移除，以暴露出摻雜區，藉此於絕緣層中形成一接觸窗開口。

【實施方式】

第4A圖至第4F圖係繪示依據本發明一較佳實施例之一



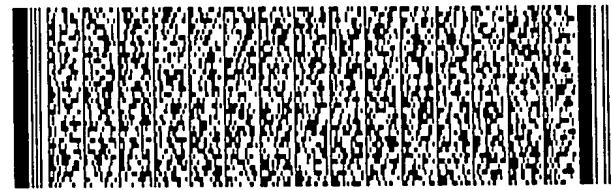
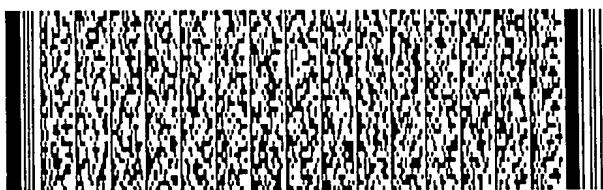
五、發明說明 (6)

種位元線接觸窗開口的製造方法之示意圖。

首先請參照第4A圖，提供一半導體基底100，例如是單晶矽基底。之後，於半導體基底100上形成電晶體102，此電晶體102包括源極142、汲極144、閘極絕緣層150、多晶矽層152、金屬矽化物層154和罩幕層156，閘極電極係由多晶矽層152和金屬矽化物層154所構成，且其係由一絕緣物質包覆，其上方為材質為氮化矽的罩幕層156，側壁為氮化矽間隙壁158。因此，電晶體102係由一絕緣物質包覆閘極電極所構成。源極142和汲極144係為摻雜區。相鄰之電晶體102間具有間隙103。

在本發明中，並不需加一層襯氮化矽層來保護於間隙103所暴露出的半導體基底100表面，因為本發明的內層介電層改採不含硼磷的氧化矽材質，因此不需要襯氮化矽層來避免傳統以硼磷矽玻璃層(BPSG)做內層介電層時硼磷擴散至半導體基底中，故可以節省一道沈積製程。

接著請參照第4B圖，於已形成電晶體102的基底100上塗佈一層不含矽的光阻材質，例如JSR公司所生產型號為NFL1400之材質。此不含矽的光阻層104具有相當的厚度，且上表面呈平坦狀，其厚度大約為4000~8000 Å。之後於此不含矽的光阻層104上塗佈一層厚度較薄且含矽的成像光阻層(image resist layer)106，其厚度係控制在曝光顯影的解析度範圍內，其厚度大約為500~4000 Å，較佳的厚度為800~2000 Å。不含矽光阻層104具有一平坦表面，因此使其上方覆蓋之成像光阻層106亦具有平坦的表面



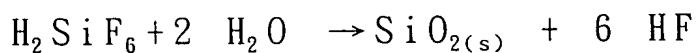
五、發明說明 (7)

、薄且均勻的厚度，以利於含矽光阻層之深紫外光曝光顯影製程的進行，使成像光阻層106可以得到較佳的解析度。

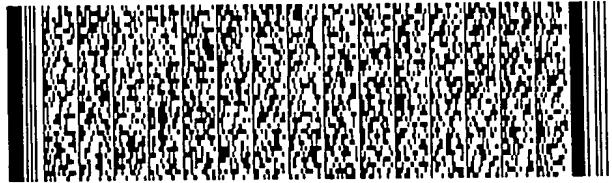
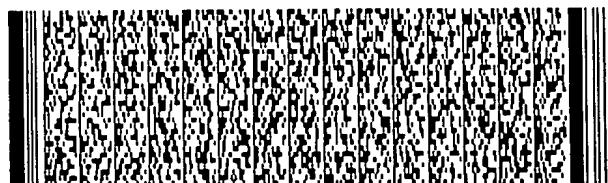
接著請參照第4C圖，對含矽的成像光阻層106進行深紫外光(DUV)（例如ArF 193nm或KrF 248nm的光源）曝光顯影製程，以定義出覆蓋位元線接觸窗的圖案。之後，以圖案化的成像光阻層106為罩幕，對其下方之不含矽光阻層104進行蝕刻，以移除未被成像光阻層106覆蓋的不含矽光阻層104，其方法例如是以SO₂/O₂的蝕刻氣體進行蝕刻，以暴露出欲形成位元線接觸窗的區域，該區域至少包括一含矽材質表面，例如矽基底表面。

接著請參照第4D圖，進行液相氧化物沈積(liquid phase oxids deposition, LPOD) 製程，以選擇性地於矽的表面成長氧化矽，並於成長出的氧化矽表面繼續成長氧化矽，直至填滿光阻疊層104和106間的間隙，成長出之氧化矽層108的厚度約為5000~8000 Å，實際厚度可視位元線MO的深度而定。

進行液相氧化製程的方法例如是將半導體基底的表面含浸至六氟矽酸(hexafluorosilicic acid; H₂SiF₆)溶液中，並加入硼酸(boric acid; H₃BO₃)，其反應式如下所示：

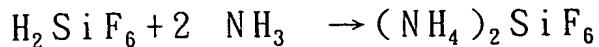


或者，將半導體基底的表面含浸至六氟矽酸(H₂SiF₆)和



五、發明說明 (8)

氯 (NH_3) 溶液中，其反應式如下所示：



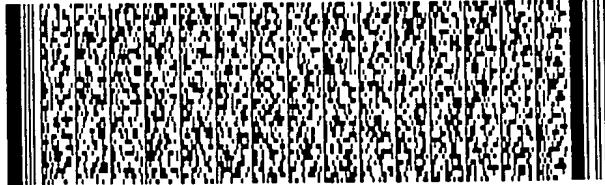
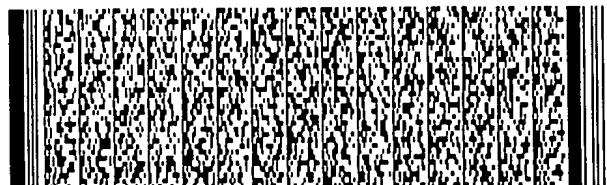
不過，本發明的液相氧化製程並不限於這兩種，其他液相氧化製程亦可適用於本發明。

接著請參照第4E圖，移除光阻疊層104和106，以暴露位元線接觸窗的摻雜區144。移除光阻疊層104和106的方法例如是用傳統的氧電漿，之後再用 $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2/\text{DHF}$ 混合液進行清洗。

經上述的步驟後，藉此於氧化矽層108中形成接觸窗開口110。之後進行一般之位元線接觸窗製程。例如依序沈積氮化鈦 (TiN) 和鎢金屬 (W)，或沈積多晶矽材質，之後藉由化學機械研磨製程移除多餘的導電材質，以於接觸窗開口110中形成鎢或多晶矽位元線接觸窗插塞120，如第4F圖所示。

綜上所述，本發明之接觸窗開口的形成係先以微影製程使光阻疊層覆蓋接觸窗開口的區域，再利用選擇性成長的方式，於矽和氧化矽材質表面形成氧化矽層，因此使光阻層間的區域填滿絕緣材質，因此可以省去一道蝕刻製程。藉此，可以避免蝕刻製程所帶來的傷害，諸如過度蝕刻所造成的矽基底的損耗和字元線和位元線間的短路、蝕刻不完全所造成的位元線接觸開路，還可避免內層介電層中產生孔洞的問題發生。

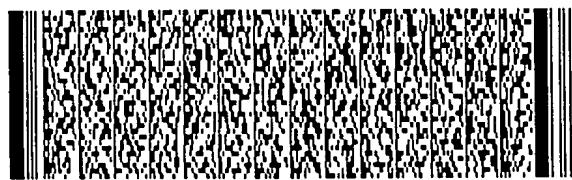
此外，由於本發明的內層介電層係由不含硼磷摻質的



五、發明說明 (9)

氧化矽層108所構成，因此不需要多沈積一層襯氮化矽層來避免傳統以硼磷矽玻璃層（BPSG）做內層介電層時硼磷擴散至半導體基底中，故可以節省一道襯氮化矽層的沈積製程。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係表示習知的位元線接觸窗的製程導致位元線接觸開路的示意圖。

第2圖係表示習知的位元線接觸窗的製程導致字元線-位元線短路的缺陷的示意圖。

第3圖係表示習知的位元線接觸窗的製程導致不同位元線但相鄰的接觸窗間之短路。

第4A圖至第4F圖係繪示依據本發明一較佳實施例之一種位元線接觸窗開口的製造方法之示意圖。

【符號簡單說明】

先前技術

矽基底~10；

BPSG層~30；

TEOS層~32；

源極~12；

汲極~14；

閘極結構~20；

閘極氧化層~21；

多晶矽層~22；

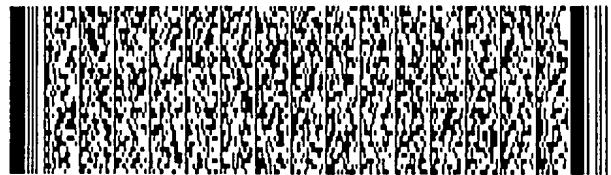
矽化鎢層~23；

氮化矽層~24；

氮化矽間隙壁~25；

襯氮化矽層~28；

光阻層~40；



圖式簡單說明

接觸窗開口~34；
孔洞~36；
位元線接觸窗插塞~38；
未完全蝕刻的絕緣材質~30'。

實施方式

半導體基底~100；
電晶體~102；
源極：142；
汲極（摻雜區）~144；
閘極絕緣層~150；
多晶矽層~152；
金屬矽化物層~154；
罩幕層~156；
氮化矽間隙壁~158；
間隙~103；
不含矽的光阻層~104；
含矽的成像光阻層~106；
氧化矽層~108；
接觸窗開口~110；
接觸窗插塞~120。



六、申請專利範圍

1. 一種接觸窗開口的製造方法，包括：

提供一基底，該基底上具有一電晶體，該電晶體包括一閘極電極、一摻雜區，該閘極電極為一含矽絕緣層所保護；

覆蓋一不含矽光阻層於具有該電晶體之該基底上，該不含矽光阻層具有一平坦表面；

覆蓋一含矽光阻層於該不含矽光阻層上，該含矽光阻層具有一平坦表面；

圖案化該含矽光阻層和該不含矽光阻層，以定義出對應於該摻雜區之接觸窗圖案的光阻疊層；

進行一選擇性沈積製程，以於未被該光阻疊層覆蓋的區域形成一絕緣層；以及

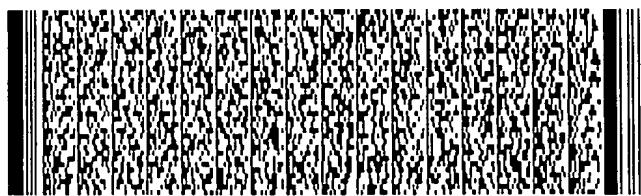
移除該光阻疊層，以暴露出該摻雜區，藉此於該絕緣層中形成一接觸窗開口。

2. 如申請專利範圍第1項所述之接觸窗開口的製造方法，其中保護該閘極電極之該含矽絕緣層係為一氮化矽層。

3. 如申請專利範圍第1項所述之接觸窗開口的製造方法，其中該不含矽光阻層的厚度介於 4000 \AA 和 8000 \AA 之間。

4. 如申請專利範圍第1項所述之接觸窗開口的製造方法，其中該含矽光阻層的厚度介於 500 \AA 和 4000 \AA 之間。

5. 如申請專利範圍第1項所述之接觸窗開口的製造方法，其中圖案化該含矽光阻層和該不含矽光阻層，以定義



六、申請專利範圍

出對應於該摻雜區之接觸窗圖案的光阻疊層的方法包括：
利用微影製程定義該含矽光阻層；以及
以圖案化後之該含矽光阻層為罩幕，蝕刻其下方之該不含矽光阻層。

6. 如申請專利範圍第5項所述之接觸窗開口的製造方法，其中蝕刻該不含矽光阻層的方法包括以 SO_2/O_2 的蝕刻氣體進行蝕刻。

7. 如申請專利範圍第1項所述之接觸窗開口的製造方法，其中該選擇性沈積製程係為一液相氧化製程。

8. 如申請專利範圍第7項所述之接觸窗開口的製造方法，其中該液相氧化製程的進行方式係為將該基底的表面含浸至六氟矽酸 (H_2SiF_6) 溶液中，並加入硼酸 (H_3BO_3)。

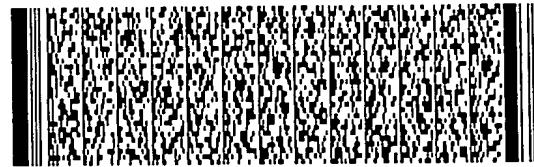
9. 如申請專利範圍第7項所述之接觸窗開口的製造方法，其中該液相氧化製程的進行方式係為將該基底的表面含浸至六氟矽酸 (H_2SiF_6) 和氨 (NH_3) 溶液中。

10. 如申請專利範圍第1項所述之接觸窗開口的製造方法，更包括於該絕緣層中的該接觸窗開口填入一金屬材質，以形成一接觸窗插塞。

11. 一種接觸窗開口的製造方法，包括：

提供一基底，該基底表面具有一元件，該元件為一含矽絕緣層所保護，該基底中具有一摻雜區；

覆蓋一不含矽光阻層於具有該元件和該摻雜區的該基底上，該不含矽光阻層具有一平坦表面；



六、申請專利範圍

覆蓋一含矽光阻層於該不含矽光阻層上，該含矽光阻層具有一平坦表面；

圖案化該含矽光阻層和該不含矽光阻層，以定義出對應於該摻雜區之接觸窗圖案的光阻疊層，未為該光阻疊層覆蓋的區域之表面包括部份該含矽絕緣層，係為一矽和/或氧化矽材質的表面；

進行一選擇性沈積製程，以於該矽和/或氧化矽材質的表面形成一絕緣層；以及

移除該光阻疊層，以暴露出該摻雜區，藉此於該絕緣層中形成一接觸窗開口。

12. 如申請專利範圍第11項所述之接觸窗開口的製造方法，其中該含矽絕緣層係為一氮化矽層。

13. 如申請專利範圍第11項所述之接觸窗開口的製造方法，其中該不含矽光阻層的厚度介於 4000 \AA 和 8000 \AA 之間。

14. 如申請專利範圍第11項所述之接觸窗開口的製造方法，其中該含矽光阻層的厚度介於 500 \AA 和 4000 \AA 之間。

15. 如申請專利範圍第11項所述之接觸窗開口的製造方法，其中圖案化該含矽光阻層和該不含矽光阻層，以定義出對應於該摻雜區之接觸窗圖案的光阻疊層的方法包括：

利用微影製程定義該含矽光阻層；以及

以圖案化後之該含矽光阻層為罩幕，蝕刻其下方之該

六、申請專利範圍

不含矽光阻層。

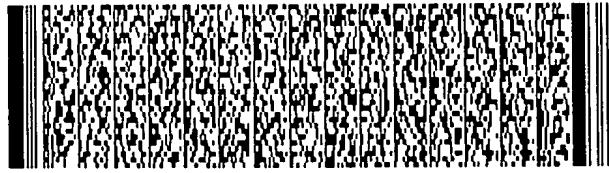
16. 如申請專利範圍第15項所述之接觸窗開口的製造方法，其中蝕刻移除該不含矽光阻層的方法包括以 SO_2/O_2 的蝕刻氣體進行蝕刻。

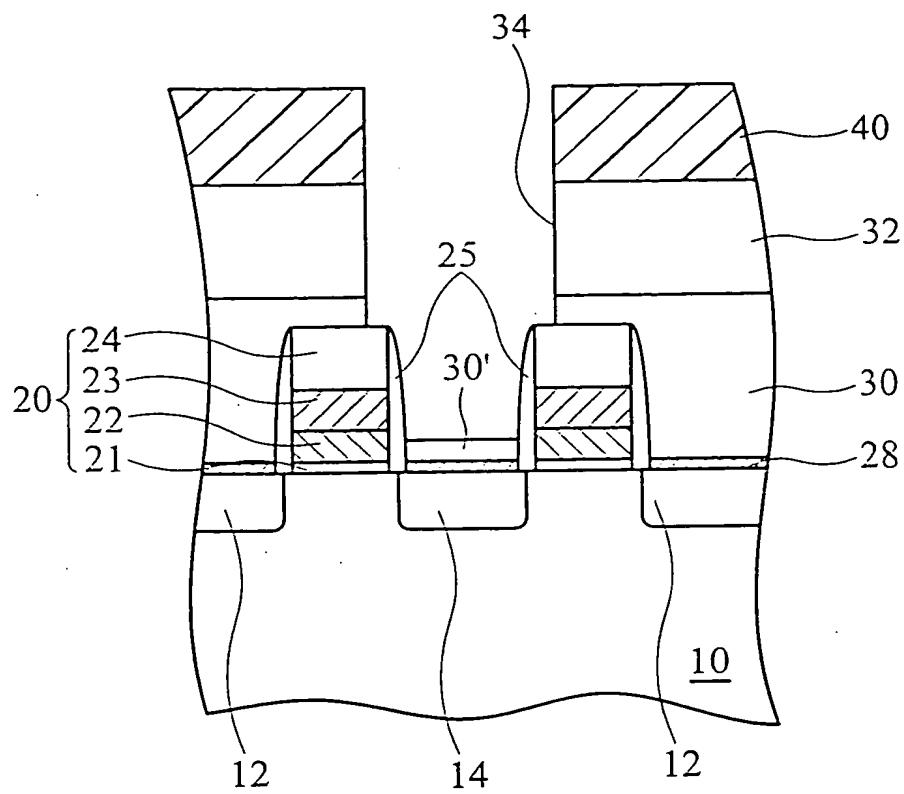
17. 如申請專利範圍第11項所述之接觸窗開口的製造方法，其中該選擇性沈積製程係為一液相氧化製程。

18. 如申請專利範圍第17項所述之接觸窗開口的製造方法，其中該液相氧化製程的進行方式係為將該基底的表面含浸至六氟矽酸(H_2SiF_6)溶液中，並加入硼酸(H_3BO_3)。

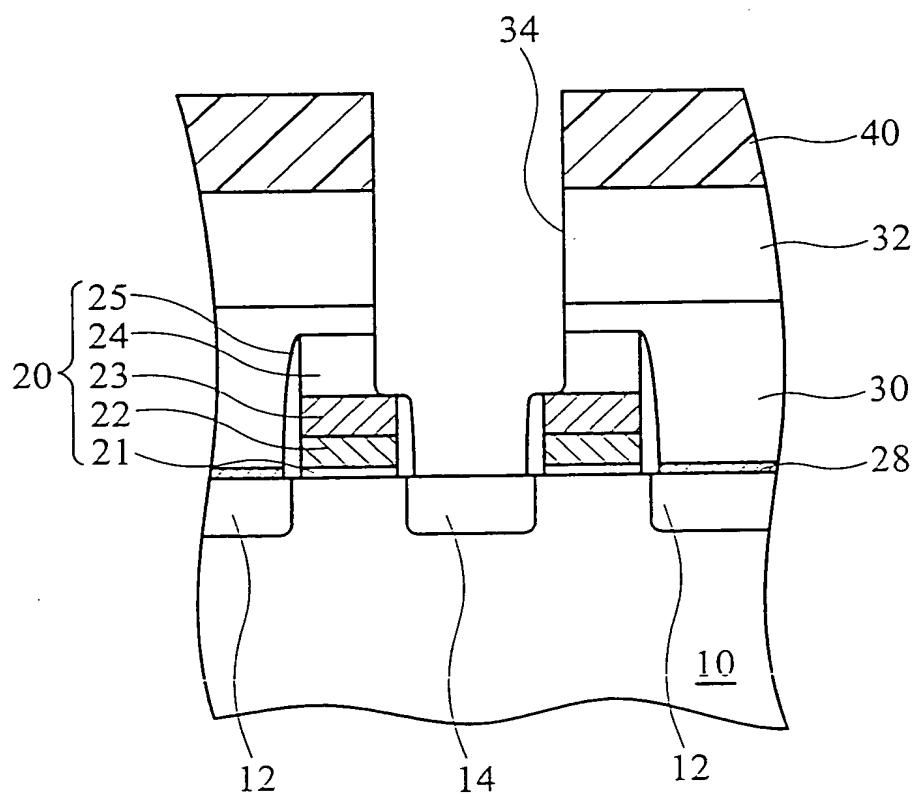
19. 如申請專利範圍第17項所述之接觸窗開口的製造方法，其中該液相氧化製程的進行方式係為將該基底的表面含浸至六氟矽酸(H_2SiF_6)和氨(NH_3)溶液中。

20. 如申請專利範圍第11項所述之接觸窗開口的製造方法，更包括於該絕緣層中的該接觸窗開口填入一金屬材質，以形成一接觸窗插塞。

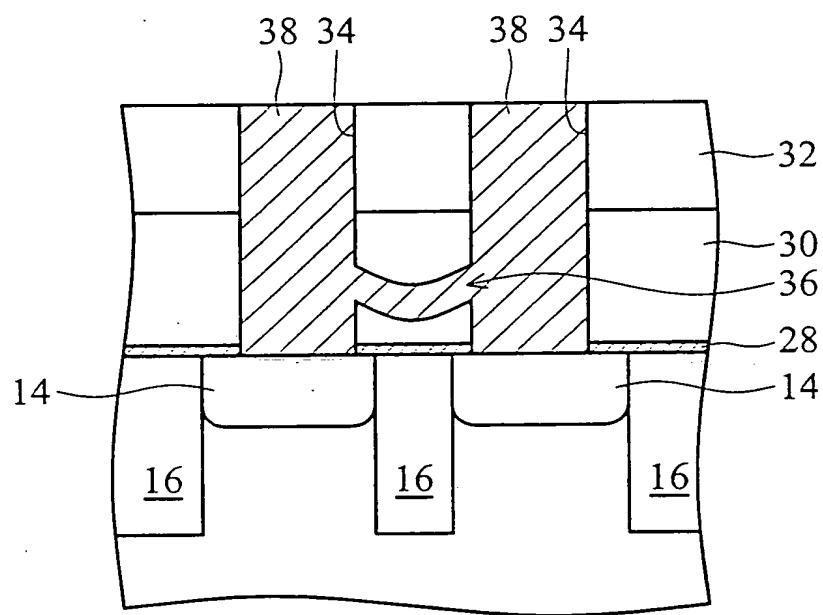




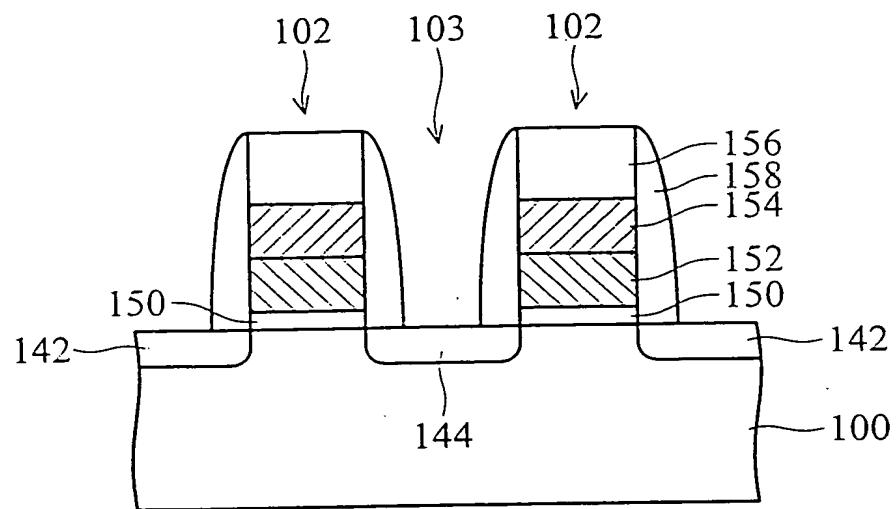
第 1 圖



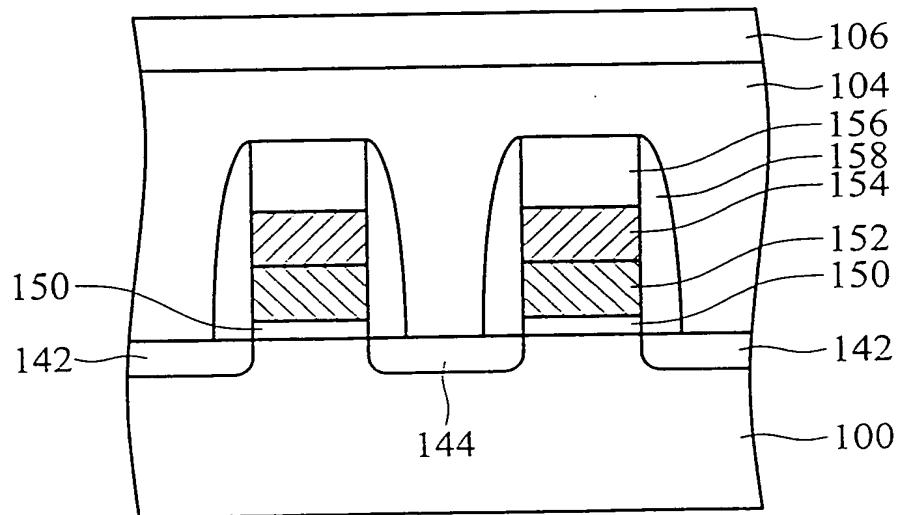
第 2 圖



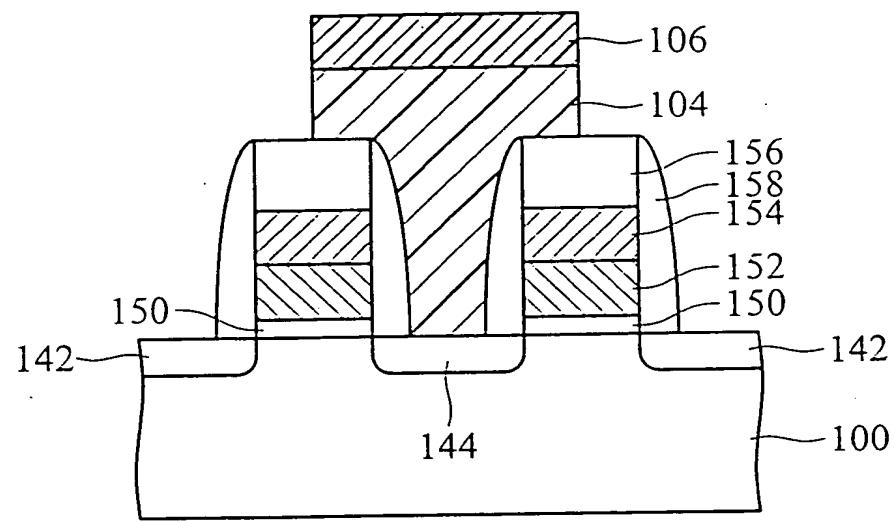
第 3 圖



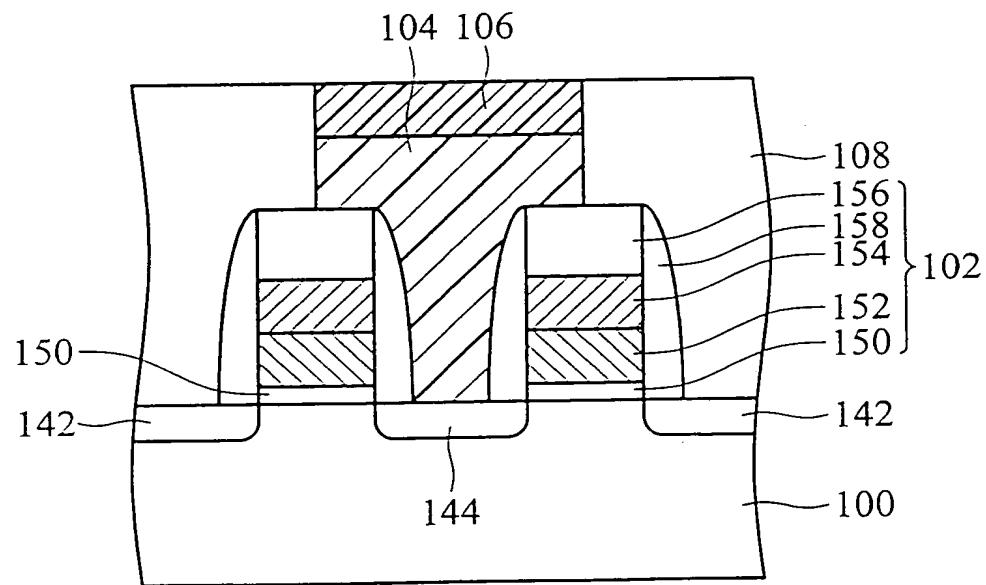
第 4A 圖



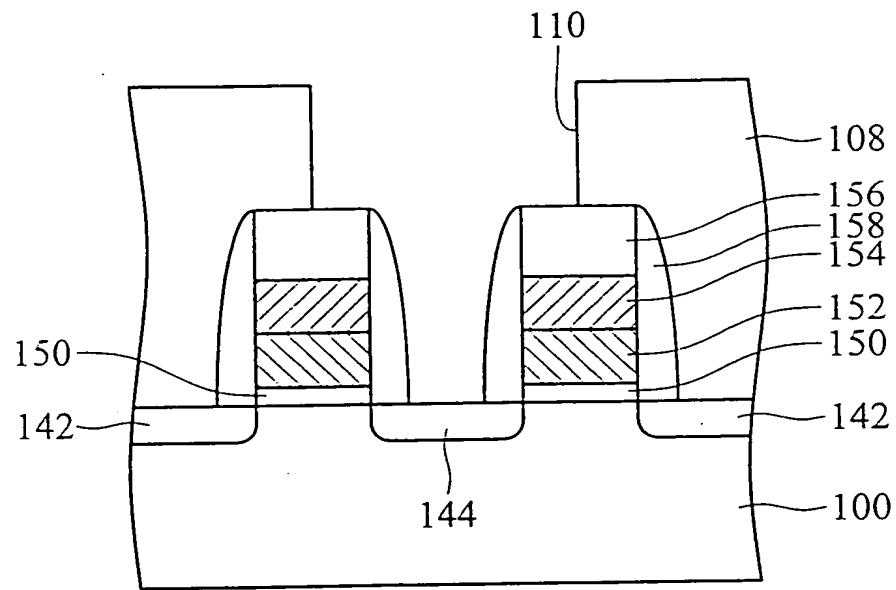
第 4B 圖



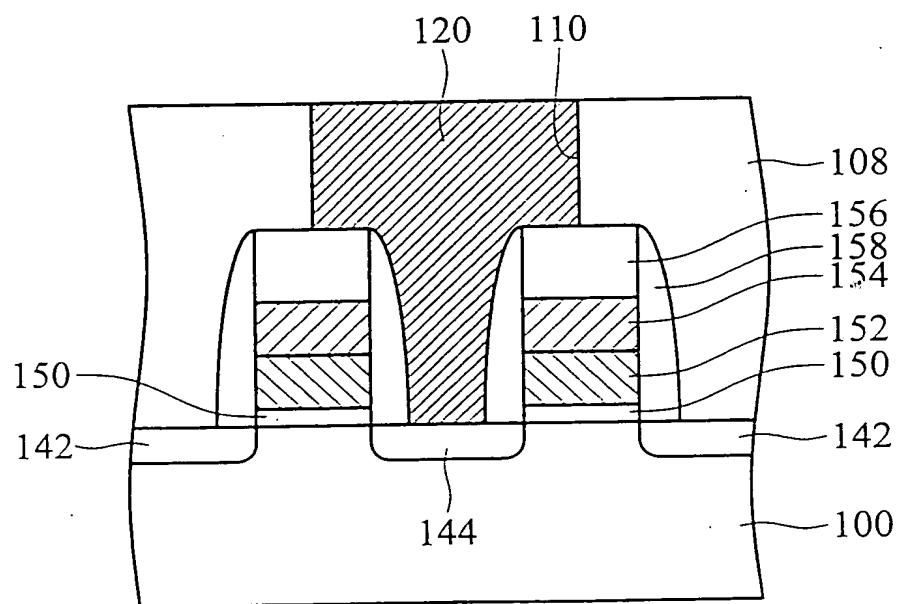
第 4C 圖



第 4D 圖

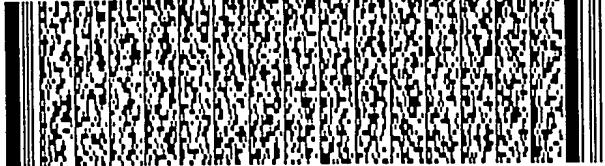


第 4E 圖

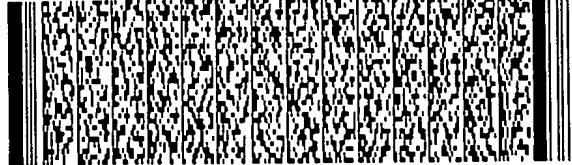


第 4F 圖

第 1/19 頁

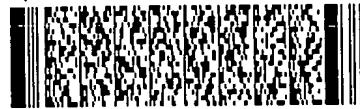


第 2/19 頁

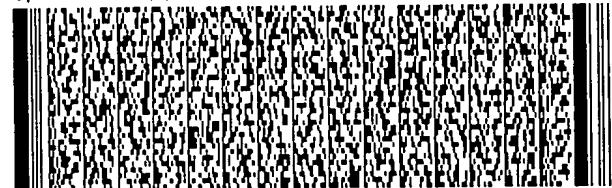


第 3/19 頁

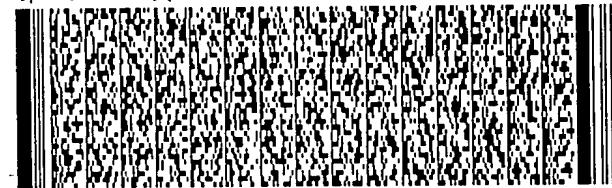
第 4/19 頁



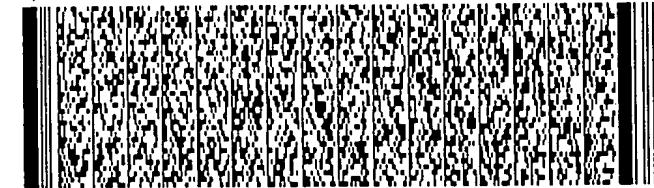
第 5/19 頁



第 6/19 頁



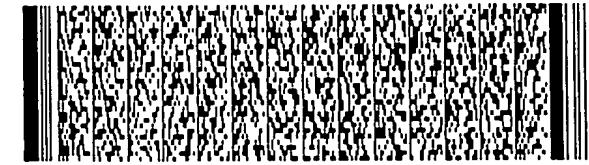
第 7/19 頁



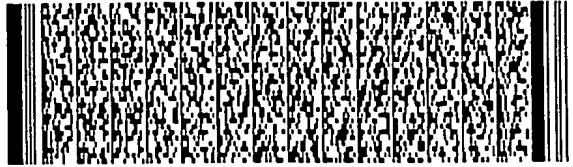
第 8/19 頁



第 9/19 頁



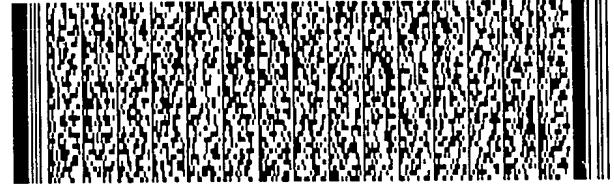
第 2/19 頁



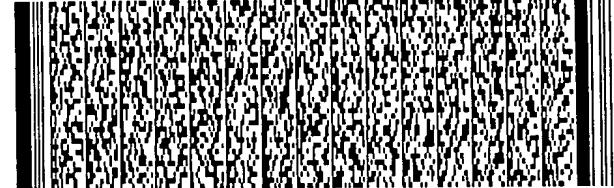
第 3/19 頁



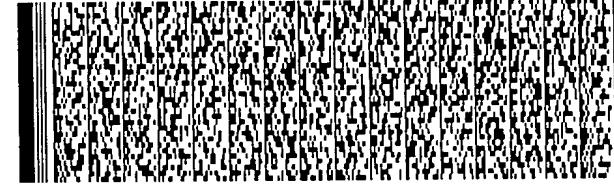
第 4/19 頁



第 5/19 頁



第 6/19 頁



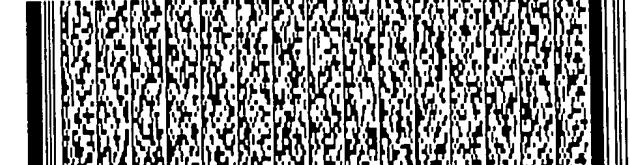
第 7/19 頁



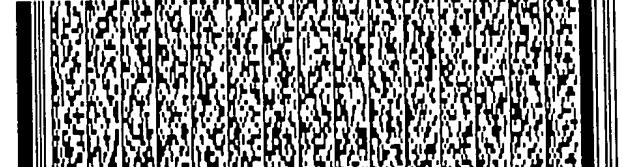
第 8/19 頁



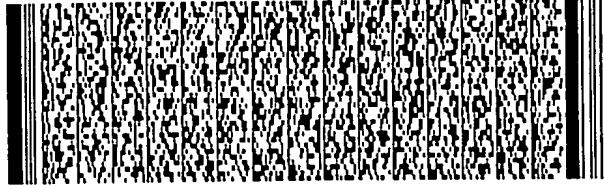
第 9/19 頁



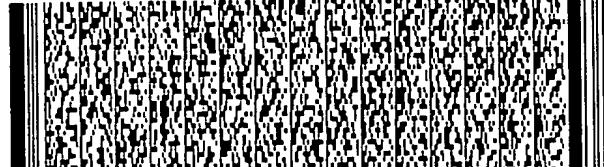
第 10/19 頁



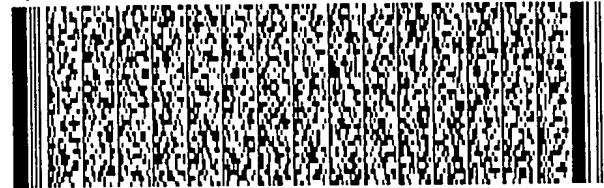
第 10/19 頁



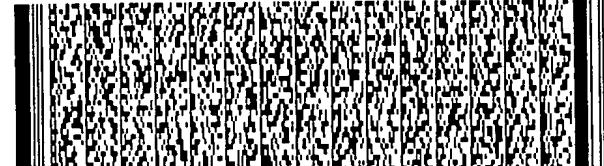
第 11/19 頁



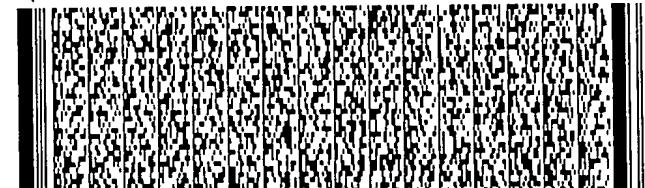
第 12/19 頁



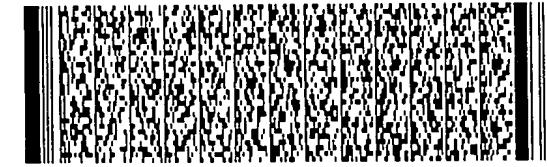
第 14/19 頁



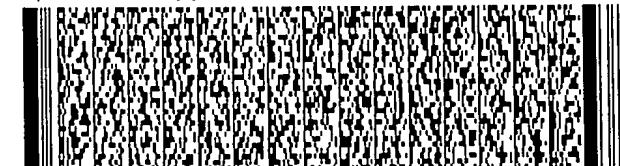
第 16/19 頁



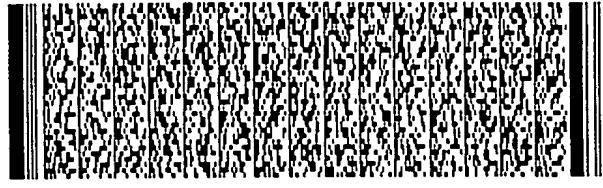
第 17/19 頁



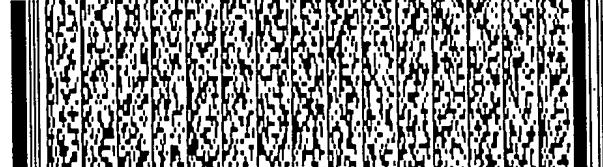
第 19/19 頁



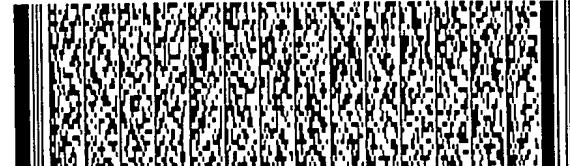
第 11/19 頁



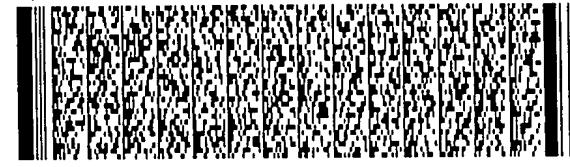
第 12/19 頁



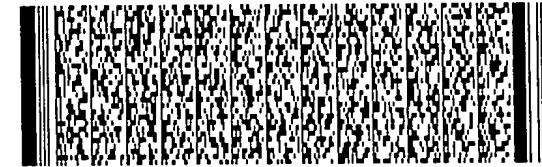
第 13/19 頁



第 15/19 頁



第 17/19 頁



第 18/19 頁

